

Docket No.: 67161-061

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Takashi KONO, et al. :
Serial No.: : Group Art Unit:
Filed: July 24, 2003 : Examiner:
For: SEMICONDUCTOR MEMORY DEVICE HAVING A SUB-AMPLIFIER CONFIGURATION

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-018366, filed January 28, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 24, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-061
Takashi Konoe et al.
July 24, 2003

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月28日

出 願 番 号

Application Number:

特願2003-018366

[ST.10/C]:

[JP2003-018366]

出 願 人

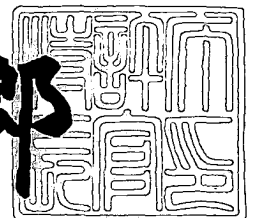
Applicant(s):

三菱電機株式会社

2003年 2月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3010886

【書類名】 特許願

【整理番号】 541633JP01

【提出日】 平成15年 1月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/409

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 河野 隆司

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 濱本 武史

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの複数の行に対応して配置される複数のワード線と、
前記複数のメモリセルの複数の列に対応して配置される複数のビット線対と、
前記複数のビット線対に対応して設けられ、対応するビット線対の電位差を検知増幅する複数のセンスアンプと、
前記複数のセンスアンプに共通して設けられるセンスアンプ駆動線と、
前記複数のビット線対に対応して設けられ、各々が対応するビット線と選択的に接続される複数の第 1 のデータ線対と、
前記複数の第 1 のデータ線対の各々に対応して設けられる複数のサブアンプとを備え、
前記複数のサブアンプの各々は、
第 1、第 2 および第 3 のトランジスタを含み、
前記第 1 のトランジスタは、制御端子が前記第 1 のデータ線対の一方線に接続され、第 1 の導通端子が前記第 1 のデータ線対の他方線に接続され、第 2 の導通端子が前記第 3 のトランジスタの第 1 の導通端子に接続され、
前記第 2 のトランジスタは、制御端子が前記第 1 のデータ線対の他方線に接続され、第 1 の導通端子が前記第 1 のデータ線対の一方線に接続され、第 2 の導通端子が前記第 3 のトランジスタの第 1 の導通端子に接続され、
前記第 3 のトランジスタは、制御端子から前記サブアンプの活性化タイミング制御信号が入力され、第 2 の導通端子が前記センスアンプ駆動線に接続される、
半導体記憶装置。

【請求項 2】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの複数の行に対応して配置される複数のワード線と、
前記複数のメモリセルの複数の列に対応して配置される複数のビット線対と、
前記複数のビット線対に対応して設けられ、対応するビット線対の電位差を検知増幅する複数のセンスアンプと、

前記複数のセンスアンプに共通して設けられるセンスアンプ駆動線と、
 前記複数のビット線対に対応して設けられ、各々が対応するビット線と選択的に接続される複数の第 1 のデータ線対と、
 前記複数の第 1 のデータ線対の各々に対応して設けられる複数のサブアンプと、
 前記複数の第 1 のデータ線対に対応して設けられ、読出し時に、対応する前記第 1 のデータ線対の前記サブアンプを介して増幅されたデータを受ける複数の第 2 のデータ線対とを備え、
 前記複数のサブアンプの各々は、
 第 1、第 2 および第 3 のトランジスタを含み、
 前記第 1 のトランジスタは、制御端子が前記第 1 のデータ線対の一方線に接続され、第 1 の導通端子が前記第 2 のデータ線対の一方線に接続され、第 2 の導通端子が前記第 3 のトランジスタの第 1 の導通端子に接続され、
 前記第 2 のトランジスタは、制御端子が前記第 1 のデータ線対の他方線に接続され、第 1 の導通端子が前記第 2 のデータ線対の他方線に接続され、第 2 の導通端子が前記第 3 のトランジスタの第 1 の導通端子に接続され、
 前記第 3 のトランジスタは、制御端子から前記サブアンプの活性化タイミング制御信号が入力され、第 2 の導通端子が前記センスアンプ駆動線に接続される、
 半導体記憶装置。

【請求項 3】 アドレス信号に応じて前記複数の第 1 のデータ線対の各々と接続される前記ビット線対を選択するコラム選択信号を発生するコラムデコーダと、

前記コラムデコーダを活性化させるコラム選択イネーブル信号を受けて、前記サブアンプの活性化タイミング制御信号を出力する制御信号発生回路とをさらに備え、

前記制御信号発生回路は、前記コラム選択信号の活性化の後まで前記サブアンプの活性化タイミング制御信号の活性化を遅らせる遅延回路を含む、請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 前記サブアンプは、前記第 1 のデータ線対と前記第 2 のデー

タ線対との分離／接続を制御する入出力スイッチ回路をさらに含み、

前記入出力スイッチ回路は、

前記サブアンプの活性化タイミング制御信号の反転信号および入出力スイッチ信号が入力されるNAND回路と、

前記NAND回路からの出力を反転するインバータと、

前記インバータの入出力に応じて、前記第1のデータ線対と前記第2のデータ線対とを分離／接続する第1および第2のトランスファゲート回路とを有する、請求項2に記載の半導体記憶装置。

【請求項5】 行列状に配置される複数のメモリセルと、

前記複数のメモリセルの複数の行に対応して配置される複数のワード線と、

前記複数のメモリセルの複数の列に対応して配置される複数のビット線対と、

前記複数のメモリセルから読み出されるデータを検知増幅する複数のセンスアンプ帯と、

前記複数のセンスアンプ帯の各々と交差する複数のサブワード線ドライバ帯とを備え、

前記複数のセンスアンプ帯の各々は、

前記複数のビット線対に対応して設けられ、対応するビット線対の電位差を検知増幅する複数のセンスアンプと、

前記複数のセンスアンプに共通して設けられるセンスアンプ駆動線と、

前記複数のビット線対に対応して設けられ、各々が対応するビット線と選択的に接続される複数の第1のデータ線対とを含み、

前記複数の第1のデータ線対の各々に対応し、前記複数のセンスアンプ帯と前記複数のサブワード線ドライバ帯との交差領域に各々設けられた複数のサブアンプをさらに備え、

前記複数のサブアンプの各々は、

第1、第2および第3のトランジスタを含み、

前記第1のトランジスタは、制御端子が前記第1のデータ線対の一方線に接続され、第1の導通端子が前記第1のデータ線対の他方線に接続され、第2の導通端子が前記第3のトランジスタの第1の導通端子に接続され、

前記第 2 のトランジスタは、制御端子が前記第 1 のデータ線対の他方線に接続され、第 1 の導通端子が前記第 1 のデータ線対の一方線に接続され、第 2 の導通端子が前記第 3 のトランジスタの第 1 の導通端子に接続され、

前記第 3 のトランジスタは、制御端子から前記サブアンプの活性化タイミング制御信号が入力され、第 2 の導通端子が前記センスアンプ駆動線に接続される、半導体記憶装置。

【請求項 6】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの複数の行に対応して配置される複数のワード線と、
前記複数のメモリセルの複数の列に対応して配置される複数のビット線対と、
前記複数のメモリセルから読み出されるデータを検知増幅する複数のセンスアンプ帯と、

前記複数のセンスアンプ帯の各々と交差する複数のサブワード線ドライバ帯とを備え、

前記複数のセンスアンプ帯の各々は、

前記複数のビット線対に対応して設けられ、対応するビット線対の電位差を検知増幅する複数のセンスアンプと、

前記複数のセンスアンプに共通して設けられるセンスアンプ駆動線と、

前記複数のビット線対に対応して設けられ、各々が対応するビット線と選択的に接続される複数の第 1 のデータ線対とを含み、

前記複数のサブワード線ドライバ帯の各々は、

前記複数の第 1 のデータ線対に対応して設けられ、読出し時に、対応する前記第 1 のデータ線対の前記サブアンプを介して増幅されたデータを受ける複数の第 2 のデータ線対を含み、

前記複数の第 1 のデータ線対の各々に対応し、前記複数のセンスアンプ帯と前記複数のサブワード線ドライバ帯との交差領域に各々設けられた複数のサブアンプをさらに備え、

前記複数のサブアンプの各々は、

第 1、第 2 および第 3 のトランジスタを含み、

前記第 1 のトランジスタは、制御端子が前記第 1 のデータ線対の一方線に接続

され、第 1 の導通端子が前記第 2 のデータ線対の一方線に接続され、第 2 の導通端子が前記第 3 のトランジスタの第 1 の導通端子に接続され、

前記第 2 のトランジスタは、制御端子が前記第 1 のデータ線対の他方線に接続され、第 1 の導通端子が前記第 2 のデータ線対の他方線に接続され、第 2 の導通端子が前記第 3 のトランジスタの第 1 の導通端子に接続され、

前記第 3 のトランジスタは、制御端子から前記サブアンプの活性化タイミング制御信号が入力され、第 2 の導通端子が前記センスアンプ駆動線に接続される、半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、D R A M (Dynamic Random Access Memory) に関する。

【0 0 0 2】

【従来の技術】

従来の半導体記憶装置は、複数個のメモリセルアレイと、その各メモリセルアレイ内の複数個のセンスアンプ毎に設けられ、当該各センスアンプと一対のサブ入出力線とに接続される補助リードアンプとを備え、この補助リードアンプ内のトランジスタのソースは、当該各センスアンプ内のトランジスタのソースに接続されている（たとえば、特許文献 1 参照）。

【0 0 0 3】

【特許文献 1】

特開平 6-1 8 7 7 8 2 号公報（第 3 7-3 8 頁、図 1 0）

【0 0 0 4】

【発明が解決しようとする課題】

従来の半導体記憶装置は、上記の構成をとる場合、サブ入出力線をセンスアンプ内のトランジスタのソース電圧と等しくするためのプリチャージ回路を必ず必要とする。そのため、従来の半導体記憶装置は、このプリチャージ回路の分だけ余分に回路面積を必要とし、その結果、半導体記憶装置全体の回路面積が増大す

るとするという問題があった。

【0005】

それゆえに、この発明の目的は、省面積化が可能な半導体記憶装置を提供することである。

【0006】

【課題を解決するための手段】

この発明による半導体記憶装置は、行列状に配置される複数のメモリセルと、複数のメモリセルの複数の行に対応して配置される複数のワード線と、複数のメモリセルの複数の列に対応して配置される複数のビット線対と、複数のビット線対に対応して設けられ、対応するビット線対の電位差を検知増幅する複数のセンスアンプと、複数のセンスアンプに共通して設けられるセンスアンプ駆動線と、複数のビット線対に対応して設けられ、各々が対応するビット線と選択的に接続される複数の第1のデータ線対と、複数の第1のデータ線対の各々に対応して設けられる複数のサブアンプとを備える。複数のサブアンプの各々は、第1、第2および第3のトランジスタを含む。第1のトランジスタは、制御端子が第1のデータ線対の一方線に接続され、第1の導通端子が第1のデータ線対の他方線に接続され、第2の導通端子が第3のトランジスタの第1の導通端子に接続される。第2のトランジスタは、制御端子が第1のデータ線対の他方線に接続され、第1の導通端子が第1のデータ線対の一方線に接続され、第2の導通端子が第3のトランジスタの第1の導通端子に接続される。第3のトランジスタは、制御端子からサブアンプの活性化タイミング制御信号が入力され、第2の導通端子がセンスアンプ駆動線に接続される。

【0007】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

【0008】

図1は、この発明によるDRAMの主要部を概略的に示した図である。

図1に示したこの発明のDRAMは、基本マット1と、コラムデコーダ4と、

読出／書込制御回路 5 とを備える。

【 0 0 0 9 】

基本マット 1 は、メインワード線とサブワード線とからなる階層ワード線構成を有し、コラム方向に配置されたサブワード線ドライバ帯 2 と、ロウ方向に配置されたセンスアンプ帯 3 とによって網目状に細分化されている。なお、図 1 にハッチングで示したサブワード線ドライバ帯 2 およびセンスアンプ帯 3 は、ともに複数の中的一本を一例として指し示したものである。また、基本マット 1 では、外部とデータをやり取りする入出力線も階層化された階層入出力線構成を採用しているものとする。

【 0 0 1 0 】

コラムデコーダ 4 は、読出／書込時に外部から入力されるコラムアドレスに応じて、サブワード線ドライバ帯 2 の方向を走るコラム選択線 C S L を選択する。読出／書込制御回路 5 は、コラム選択線 C S L によって選択された、センスアンプ帯 3 内のセンスアンプに対して、メモリセルアレイ内の階層入出力線（後に説明）を介して読出／書込動作を制御する。コラムデコーダ 4 および読出／書込制御回路 5 の具体的な回路構成の一部については後に述べる。

【 0 0 1 1 】

コラム選択線 C S L 活性時にセンスアンプ帯 3 内のセンスアンプと接続されるメモリセルアレイ内の第 1 の入出力線対を L I O 線対と称する。L I O 線対は、特許文献 1 のサブ入出力線に対応し、センスアンプ帯 3 内を 2 ブロック分走る。なお、図 1 ではセンスアンプ帯 3 はロウ方向に 8 分割されており、これはセンスアンプ帯 3 が 4 つのコラムブロックに分かれていることを意味する。

【 0 0 1 2 】

これら L I O 線対の上位階層で、読出／書込制御回路 5 から基本マット 1 の反対端まで延びるメモリセルアレイ内の第 2 の入出力線対を G I O 線対と称する。G I O 線対は、サブワード線ドライバ帯 2 上を走り、同じ方向を走るコラム選択線 C S L と領域を競合しないように配慮されている。これら L I O 線対と G I O 線対とを総称して階層入出力線と呼ぶ。

【 0 0 1 3 】

G I O 線 1 対は、基本マット 1 のセンスアンプ帯 3 内のたとえば半数の L I O 線対と選択的に接続される。ここで「選択的に接続される」とは、活性化されたロウブロックに対応するセンスアンプ帯 3 に含まれる L I O 線対だけが G I O 線対と接続されることを意味する。すなわち、G I O 線対と L I O 線対との接続には、活性化されたロウブロックを指示する信号が関係する。

【 0 0 1 4 】

このように、G I O 線対はサブワード線ドライバ帯 2 上を走り、L I O 線対はセンスアンプ帯 3 内を走るため、両者の物理的な接続は、サブワード線ドライバ帯 2 とセンスアンプ帯 3 との交差領域である十字帯 6 において行なわれる。なお、図 1 に示した十字帯 6 は複数の中からの一例を指し示したものである。この発明による十字帯 6 およびその周辺の回路構成を、以下の各実施の形態ごとに説明する。

【 0 0 1 5 】

[実施の形態 1]

図 2 は、実施の形態 1 における十字帯 6 およびその周辺の回路構成を示した回路図である。

【 0 0 1 6 】

図 2 に示すように、周辺回路のセンスアンプ帯 3 は、センスアンプ 1 0 と、ビット線分離制御回路 2 0 L, 2 0 R と、ビット線イコライザ 3 0 L, 3 0 R と、N チャネル MOS トランジスタ 4 1, 4 2 とを備え、十字帯 6 は、センスアンプ活性化回路 5 0 と、入出力スイッチ回路 6 0 と、L I O 線イコライザ 7 0 と、V B L プリチャージ回路 8 0 と、サブアンプ 1 0 0 とを備える。

【 0 0 1 7 】

まず、センスアンプ帯 3 内の回路構成について詳細に説明する。

センスアンプ 1 0 は、ビット線対 B L 0, / B L 0 の間に接続され、N チャネル MOS トランジスタ 1 1, 1 2 と、P チャネル MOS トランジスタ 1 3, 1 4 とを含む。センスアンプ 1 0 は、センスアンプ駆動線 S 2 P, S 2 N を介して各々与えられる電位により、メモリセル（図示せず）からビット線対 B L 0, / B L 0 上に読み出される微小電位差を増幅する。

【0 0 1 8】

ビット線分離制御回路 2 0 L は、NチャネルMOSトランジスタ 2 1 L, 2 2 Lを含み、ビット線分離信号 BLI_L に応じて、ビット線対 BL_L , $/BL_L$ とビット線対 $BL0$, $/BL0$ とを電氣的に分離／接続する。ビット線分離制御回路 2 0 R は、NチャネルMOSトランジスタ 2 1 R, 2 2 Rを含み、ビット線分離信号 BLI_R に応じて、ビット線対 BL_R , $/BL_R$ とビット線対 $BL0$, $/BL0$ とを電氣的に分離／接続する。

【0 0 1 9】

ビット線イコライザ 3 0 L は、NチャネルMOSトランジスタ 3 1 L, 3 2 L および 3 3 Lを含み、ビット線イコライズ信号 $BLEQ_L$ に応じて、ビット線対 BL_L , $/BL_L$ をプリチャージ電位 VBL にイコライズする。ビット線イコライザ 3 0 R は、NチャネルMOSトランジスタ 3 1 R, 3 2 R および 3 3 Rを含み、ビット線イコライズ信号 $BLEQ_R$ に応じて、ビット線対 BL_R , $/BL_R$ をプリチャージ電位 VBL にイコライズする。なお、プリチャージ電位 VBL は、電源電位 $Vdds$ の $1/2$ である。また、電源電位 $Vdds$ は、メモリセルに保持されるHレベル（論理ハイ）のデータ電位である。

【0 0 2 0】

NチャネルMOSトランジスタ 4 1, 4 2 は、コラム選択線 CSL からの信号に応じて、ビット線対 $BL0$, $/BL0$ と LIO 線対とを電氣的に分離／接続する。

【0 0 2 1】

次に、十字帯 6 内の回路構成について詳細に説明する。

センスアンプ活性化回路 5 0 は、PチャネルMOSトランジスタ 5 1 とNチャネルMOSトランジスタ 5 2 とを含み、センスアンプ活性化信号 $ZSOP$, $S0N$ に応じて、センスアンプ駆動線 $S2P$, $S2N$ にそれぞれ電源電位 $Vdds$, 接地電位 GND を与える。より詳細には、センスアンプ活性化回路 5 0 は、対応するロウブロックが活性化されてから適当な遅延後にセンスアンプ活性化信号 $ZSOP$, $S0N$ がそれぞれLレベル, Hレベルになると、センスアンプ駆動線 $S2P$, $S2N$ を電源電位 $Vdds$, 接地電位 GND にそれぞれ結合する。これに

より、センスアンプ10が活性化される。

【0022】

入出力スイッチ回路60は、NチャネルMOSトランジスタ61、62を含み、センスアンプ帯3のある一本に隣接するロウブロックが活性化された場合に入出力スイッチ信号IOSWがHレベルとなり、そのセンスアンプ帯3の一本に含まれるLIO線対を対応するGIO対に選択的に接続する。

【0023】

LIO線イコライザ70は、PチャネルMOSトランジスタ71を含み、LIO線イコライズ信号ZLIOEQがLレベルの時にLIO線と／LIO線とを短絡して同電位にする。LIO線イコライズ信号ZLIOEQは、コラム選択線CSLの活性タイミングを決めるコラム選択イネーブル信号CDE（図示せず）を起点として生成される。コラム選択イネーブル信号CDEがHレベルの期間には、LIO線イコライズ信号ZLIOEQがHレベルとなり、LIO線対のLIOと／LIOとを電氣的に分離する。逆に、コラム選択イネーブル信号CDEがLレベルの期間には、LIO線イコライズ信号ZLIOEQがLレベルとなり、LIO線対のLIOと／LIOとを電氣的に接続する。

【0024】

VBLプリチャージ回路80は、NチャネルMOSトランジスタ81、82、83および84を含み、プリチャージ活性化信号S2EQに応じて、センスアンプ駆動線S2P、S2NおよびLIO線対をプリチャージ電位VBLにプリチャージする。より詳細には、センスアンプ帯3のある一本に隣接するロウブロックが非活性の場合にプリチャージ活性化信号S2EQがHレベルとなり、センスアンプ駆動線S2P、S2NおよびLIO線対をプリチャージ電位VBLにプリチャージする。

【0025】

なお、以下の説明において、コラム動作時のGIO線対およびLIO線対のプリチャージ電位は説明上、電源電位Vddsに等しいとする。また、GIO線対は、図1の読出／書込制御回路5においてプリチャージされるものと仮定する。

【0026】

サブアンプ100は、LIO線対の間に接続され、制御信号LAMPEに応じ
てLIO線対の微小電位差を増幅する。このサブアンプ100は特許文献1の補
助リードアンプに対応し、読出／書込制御回路5に階層入出力線を介して読み出
されるデータ振幅が小さくなるのを防ぐ目的で設けられている。このサブアンプ
100の具体的な回路構成について次に述べる。

【0027】

図3は、実施の形態1におけるサブアンプ100の具体的な回路構成を示した
回路図である。

【0028】

図3に示した実施の形態1のサブアンプ100は、互いにクロスカップル接続
されたNチャネルMOSトランジスタ101、102と、制御信号LAMPEが
ゲートに入力されるNチャネルMOSトランジスタ103とを含む。制御信号L
AMPEは、読出しまたは書込みコマンドを受けてから一定期間、Hレベルとな
る信号である。

【0029】

NチャネルMOSトランジスタ101のドレイン、ゲートには、LIO線、/
LIO線がそれぞれ接続され、NチャネルMOSトランジスタ102のドレイン
、ゲートには、/LIO線、LIO線がそれぞれ接続される。また、Nチャネル
MOSトランジスタ101、102の両ソースにはNチャネルMOSトランジス
タ103のドレインが接続され、NチャネルMOSトランジスタ103のソース
にはセンスアンプ駆動線S2Nが接続される。

【0030】

これまでの説明で述べたように、センスアンプ駆動線S2Nは、センスアンプ
帯3のある一本に隣接するロウブロックが活性化された場合に接地電位GND、
非活性の場合にプリチャージ電位VBLとなる。すなわち、NチャネルMOSト
ランジスタ103のソースにセンスアンプ駆動線S2Nを接続することによって
、ロウブロックひいては隣接するセンスアンプ帯3の一本における活性／非活性
の情報をサブアンプ100に反映させることが可能となる。

【0031】

上記の接続により、センスアンプ帯 3 のある一本に隣接するロウブロックが非活性の場合、仮に制御信号 LAMP E が H レベルとなっても、センスアンプ駆動線 S 2 N および L I O 線対がともにプリチャージ電位 V B L であるため、N チャネル MOS トランジスタ 1 0 1, 1 0 2 のゲート-ソース間電圧 V_{gs} は 0 V となり、サブアンプ 1 0 0 は動作しない。

【0 0 3 2】

つまり、N チャネル MOS トランジスタ 1 0 3 のソースにセンスアンプ駆動線 S 2 N を接続することによって、ロウブロックの活性化を伝える信号を供給するための回路構成を追加しなくとも、センスアンプ帯 3 のある一本に隣接するロウブロックが活性化された場合にのみサブアンプ 1 0 0 を動作させることが可能となる。

【0 0 3 3】

上記の効果は、新たなトランジスタを加えることなく達成することができる。また、センスアンプ駆動線 S 2 N は元々センスアンプ帯 3 に存在するため、上記の効果を得るための新たな配線を必要としない。したがって、サブアンプ 1 0 0 の省面積化が可能となる。

【0 0 3 4】

次に、サブアンプ 1 0 0 の活性化タイミングを制御する制御信号 LAMP E の具体的な発生手順について述べる。

【0 0 3 5】

図 4 は、コラムデコーダ 4 および制御信号 LAMP E を発生させる制御信号発生回路 5 0 0 の具体的な回路構成を示した回路図である。

【0 0 3 6】

図 4 に示すように、コラムデコーダ 4 は、NAND ゲート 4 0 1, 4 0 3 と、インバータ 4 0 2, 4 0 4 とを含み、制御信号発生回路 5 0 0 は、遅延回路 5 0 1 と、インバータ 5 0 2, 5 0 3 とを含む。制御信号発生回路 5 0 0 は、図 1 の読出／書込制御回路 5 における回路構成の一部である。

【0 0 3 7】

NAND ゲート 4 0 1 は、コラム選択イネーブル信号 C D E およびプリデコー

ド信号 A Y 0 が入力され、出力がインバータ 4 0 2 の入力に接続される。N A N D ゲート 4 0 3 は、インバータ 4 0 2 からの出力およびプリデコード信号 A Y 1 が入力され、出力がインバータ 4 0 4 の入力に接続される。インバータ 4 0 4 の出力がコラム選択線 C S L へと接続される。

【0 0 3 8】

一方、コラム選択イネーブル信号 C D E は遅延回路 5 0 1 にも入力され、出力がインバータ 5 0 2 に入力される。インバータ 5 0 3 には、インバータ 5 0 2 の出力が入力され、サブアンプ 1 0 0 の活性化タイミングを制御する制御信号 L A M P E が出力される。

【0 0 3 9】

図 5 は、制御信号 L A M P E の発生を説明するためのタイミング図である。

図 5 に示すように、プリデコード信号 A Y 0, A Y 1 は、コラム選択イネーブル信号 C D E が H レベルの期間を包含するタイミングで確定する信号であり、コラム選択イネーブル信号 C D E が時刻 t_1 に立上り、時刻 t_3 に立下るのに同期して、コラム選択線 C S L の活性／非活性タイミングが定まる。

【0 0 4 0】

データを読み出す際、コラム選択線 C S L が活性化されることにより、センスアンプ 1 0 によって増幅されたデータ信号が L I O 線対に読み出される。こうしてサブアンプ 1 0 0 の感度およびオフセット以上に L I O 線対の電位差が拡大し、サブアンプ 1 0 0 が活性化されるまでの所要時間は、基準電圧および周囲温度が安定していれば一定である。

【0 0 4 1】

そこで上記の所要時間を考慮して、図 5 に示すように、制御信号 L A M P E の活性タイミングは、コラム選択イネーブル信号 C D E の活性タイミングから一定時間遅延した時刻 t_2 に立上り、時刻 t_4 に立下る。

【0 0 4 2】

これまで説明してきた制御信号 L A M P E の具体的な発生手順はデータ読出し時に関するものであったが、データ書込み時にデータ読出し時とは異なる制御信号 L A M P E の活性タイミングを設定する必要がある場合は、図 4 の遅延回路 5

01の遅延量を読出／書込で切替える機構を新たに備えればよい。

【0043】

以上のように、実施の形態1によれば、サブアンプ100のNチャネルMOSトランジスタ103のソースにセンスアンプ駆動線S2Nを接続することによって、この発明による半導体記憶装置の省面積化を達成しつつ、読出／書込制御回路5に階層入出力線を介して読み出されるデータ振幅が小さくなるのを防ぐことができる。

【0044】

〔実施の形態2〕

実施の形態1のサブアンプ100は、LIO線対の微小電位差を増幅するように構成および配置されていた。

【0045】

しかし、メモリセルアレイ内の階層入出力線全体の寄生抵抗・容量のうちGIO線対の配線抵抗・容量が支配的である場合、たとえば読出し時に、センスアンプ10から読出されたデータによってLIO線対に生じる電位差は短時間で十分大きくなるが、それが伝達されてGIO線対に十分な電位差が生じるまでには非常に時間がかかる。この場合、サブアンプ100が読出／書込制御回路5に階層入出力線を介して読み出されるデータ振幅の低減を防ぐ効果は薄くなる。

【0046】

また、読出し動作時にのみサブアンプ100を活性化させるため、GIO線対の電位差を短時間でいかに大きくとれるかが重要である。そのため、入出力スイッチ回路60のNチャネルMOSトランジスタ61、62によるオン抵抗に起因した電圧降下を考えると、サブアンプ100のようにLIO線対の電位差を増幅するのは不利となる。これらの問題を解決するための十字帯6およびその周辺の回路構成を、実施の形態2において説明する。

【0047】

図6は、実施の形態2における十字帯6およびその周辺の回路構成を示した回路図である。

【0048】

図 6 に示す実施の形態 2 の十字帯 6 およびその周辺の回路構成は、サブアンプ 1 0 0 が、構成および配置の異なるサブアンプ 1 0 0 A に置き換えられた点で、図 2 に示す実施の形態 1 の十字帯 6 およびその周辺の回路構成と異なる。このサブアンプ 1 0 0 A の具体的な回路構成について次に述べる。

【 0 0 4 9 】

図 7 は、実施の形態 2 におけるサブアンプ 1 0 0 A の具体的な回路構成を示した回路図である。

【 0 0 5 0 】

図 7 に示した実施の形態 2 のサブアンプ 1 0 0 A は、N チャネル MOS トランジスタ 1 0 1, 1 0 2 のドレインに、L I O 線、／L I O 線ではなく、G I O 線、／G I O 線がそれぞれ接続された点で、実施の形態 1 のサブアンプ 1 0 0 と異なる。

【 0 0 5 1 】

電位差が比較的大きくとれる L I O 線対を N チャネル MOS トランジスタ 1 0 1, 1 0 2 のゲートに接続することにより、N チャネル MOS トランジスタ 1 0 1, 1 0 2 のコンダクタンス差を大きくとることができる。サブアンプ 1 0 0 A は、このコンダクタンス差を G I O 線対から引き抜かれる電荷量に直接反映させることができ、入出力スイッチ回路 6 0 の N チャネル MOS トランジスタ 6 1, 6 2 によるオン抵抗の影響を回避することができる。

【 0 0 5 2 】

以上のように、実施の形態 2 によれば、サブアンプ 1 0 0 A の N チャネル MOS トランジスタ 1 0 1, 1 0 2 のドレインに G I O 線、／G I O 線をそれぞれ接続することによって、この発明による半導体記憶装置の省面積化を達成しつつ、読出／書込制御回路 5 に階層入出力線を介して読み出されるデータ振幅が小さくなるのをより効果的に防ぐことができる。

【 0 0 5 3 】

〔実施の形態 3〕

図 8 は、実施の形態 3 における十字帯 6 およびその周辺の回路構成を示した回路図である。

【0 0 5 4】

図 8 に示す実施の形態 3 の十字帯 6 およびその周辺の回路構成は、サブアンプ 1 0 0 A および入出力スイッチ回路 6 0 が、両者の機能を一体化したサブアンプ + 入出力スイッチ回路 2 0 0 に置き換えられた点で、図 6 に示す実施の形態 2 の十字帯 6 およびその周辺の回路構成と異なる。このサブアンプ + 入出力スイッチ回路 2 0 0 の具体的な回路構成について次に述べる。

【0 0 5 5】

図 9 は、実施の形態 3 におけるサブアンプ + 入出力スイッチ回路 2 0 0 の具体的な回路構成を示した回路図である。

【0 0 5 6】

図 9 に示した実施の形態 3 のサブアンプ + 入出力スイッチ回路 2 0 0 は、実施の形態 2 と同一のサブアンプ 1 0 0 A、および入出力スイッチ回路 6 0 a を備える。入出力スイッチ回路 6 0 a は、NAND ゲート 6 1 a と、インバータ 6 2 a と、トランスファゲート 6 3 a、6 4 a とを含む。

【0 0 5 7】

NAND ゲート 6 1 a は、入出力スイッチ信号 I O S W および制御信号 L A M P E が入力され、出力信号 I O E がインバータ 6 2 a に入力される。インバータ 6 2 a の入出力はトランスファゲート 6 3 a、6 4 a に入力される。なお、実施の形態 3 において、制御信号 L A M P E は、読出しコマンドを受けた場合のみ H レベルになるものとする。

【0 0 5 8】

図 1 0 は、サブアンプ + 入出力スイッチ回路 2 0 0 における入出力スイッチ回路 6 0 a の動作を説明するためのタイミング図である。

【0 0 5 9】

図 1 0 に示すように、入出力スイッチ信号 I O S W が H レベルのとき、時刻 t 0 において制御信号 L A M P E が H レベルになると、NAND ゲート 6 1 a の出力信号 I O E は H レベルとなる。出力信号 I O E は、そのままトランスファゲート 6 3 a、6 4 a に入力されるとともにインバータ 6 2 a を経て L レベルとなった信号もトランスファゲート 6 3 a、6 4 a に入力され、L I O 線対と G I O 線

対とは電氣的に遮断される。

【0 0 6 0】

その結果、センスアンプ10から見た階層入出力線による負荷はL I O線対のみとなるため、L I O線対の電位差は非常に大きくなる。これにより、サブアンプ100AのNチャネルM O Sトランジスタ101と102との駆動能力比が非常に大きくなり、結果としてG I O線対に現れる電位差も非常に大きくなる。

【0 0 6 1】

なお、データ書込み時には制御信号L A M P EがLレベルであるため、N A N Dゲート61aの出力信号I O EはLレベルとなり、L I O線対とG I O線対とは電氣的に接続される。その結果、読出／書込制御回路5からG I O線対を經由して伝達されたデータがセンスアンプ10に送られ、データの書込みが行なわれる。

【0 0 6 2】

入出力スイッチ回路60aでは、入出力スイッチ信号I O S Wに加えて制御信号L A M P Eを用いてL I O線対とG I O線対との電氣的遮断／接続を制御したが、この制御信号L A M P Eよりも速いタイミングの制御信号C D E Dを発生させて、制御信号L A M P Eに代えることも考えられる。

【0 0 6 3】

図11は、制御信号C D E Dを発生させる制御信号発生回路300の回路構成を示した回路図である。

【0 0 6 4】

図11に示すように、制御信号発生回路300は、N A N Dゲート301と、インバータ302とを含む。N A N Dゲート301は、信号R Z Wおよびコラム選択イネーブル信号C D Eが入力され、出力がインバータ302の入力に接続される。インバータ302の出力が制御信号C D E Dとなる。なお、信号R Z Wは、読出し時のみHレベルとなり、書込み時およびコラム系が非活性の時にはLレベルとなる信号である。

【0 0 6 5】

上記の構成により、制御信号C D E Dは、コラム選択線C S Lの活性タイミン

グを決めるコラム選択イネーブル信号CDEから2段しか遅延しない。そのため、制御信号LAMP Eの代わりに制御信号CDE Dを用いることにより、ビット線対BL0、／BL0とLIO線対とが電氣的に接続された時点で、実質的にLIO線対とGIO線対とを電氣的に遮断することが可能となる。

【0066】

したがって、制御信号LAMP EがHレベルとなる前にLIO線対の電位差が大きくなり、制御信号LAMP Eを用いた場合よりも速くGIO線対の電位差が大きくなる。

【0067】

以上のように、実施の形態3によれば、サブアンプ100Aと入出力スイッチ回路60との機能を一体化し、読出しコマンドを受けてHレベルとなる制御信号LAMP Eを用いることによって、この発明による半導体記憶装置の省面積化を達成しつつ、読出／書込制御回路5に階層入出力線を介して読み出されるデータ振幅が小さくなるのをより効果的に防ぐことができる。

【0068】

また、制御信号LAMP Eの代わりにコラム選択イネーブル信号CDEとタイミングの近い制御信号CDE Dを用いることによって、制御信号LAMP Eを用いた場合よりも速くGIO線対の電位差を大きくできる。

【0069】

なお、これまで述べてきた実施の形態では、入出力が共通である階層入出力線を介してデータが読み出される場合について説明したが、これは一例に過ぎず、入出力が分離された入出力線（データ線）の出力側からデータが読み出される場合にも、この発明の半導体記憶装置は適応可能である。

【0070】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0071】

【発明の効果】

以上のように、この発明によれば、半導体記憶装置の省面積化を達成しつつ、読出／書込制御回路にデータ線を介して読み出されるデータ振幅が小さくなるのを防ぐことができる。

【図面の簡単な説明】

【図 1】 この発明による D R A M の主要部を概略的に示した図である。

【図 2】 実施の形態 1 における十字帯 6 およびその周辺の回路構成を示した回路図である。

【図 3】 実施の形態 1 におけるサブアンプ 1 0 0 の具体的な回路構成を示した回路図である。

【図 4】 制御信号 L A M P E を発生させるための具体的な回路構成を示した回路図である。

【図 5】 制御信号 L A M P E の発生を説明するためのタイミング図である。

【図 6】 実施の形態 2 における十字帯 6 およびその周辺の回路構成を示した回路図である。

【図 7】 実施の形態 2 におけるサブアンプ 1 0 0 A の具体的な回路構成を示した回路図である。

【図 8】 実施の形態 3 における十字帯 6 およびその周辺の回路構成を示した回路図である。

【図 9】 実施の形態 3 におけるサブアンプ＋入出力スイッチ回路 2 0 0 の具体的な回路構成を示した回路図である。

【図 1 0】 サブアンプ＋入出力スイッチ回路 2 0 0 における入出力スイッチ回路 6 0 a の動作を説明するためのタイミング図である。

【図 1 1】 制御信号 C D E D を発生させる制御信号発生回路 3 0 0 の回路構成を示した回路図である。

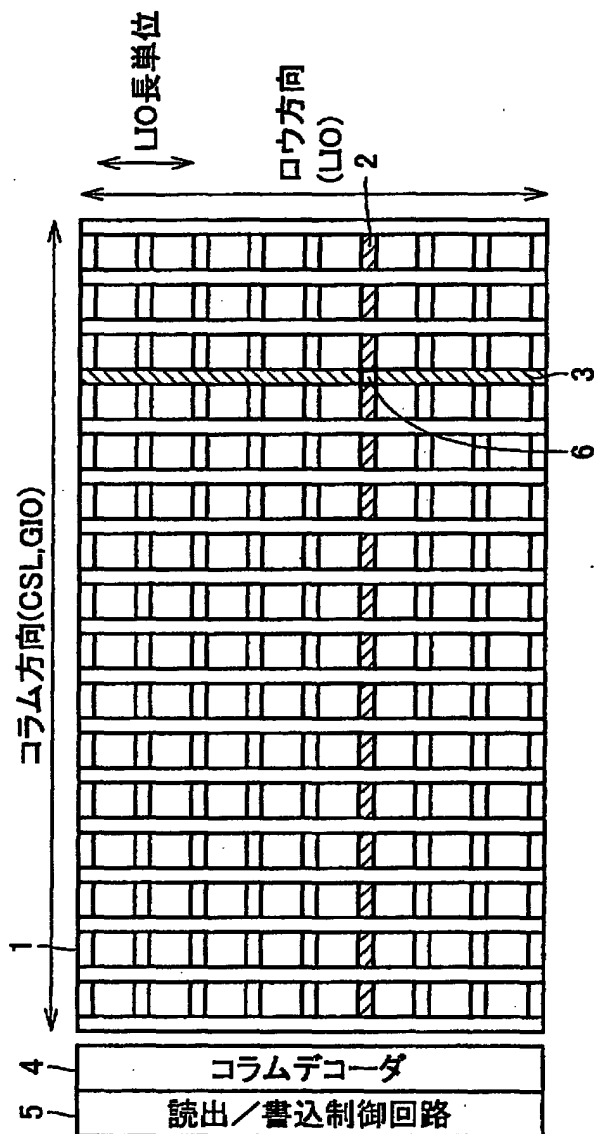
【符号の説明】

1 基本マット、2 サブワード線ドライバ帯、3 センスアンプ帯、4 コラムデコーダ、5 読出／書込制御回路、6 十字帯、1 0 センスアンプ、2

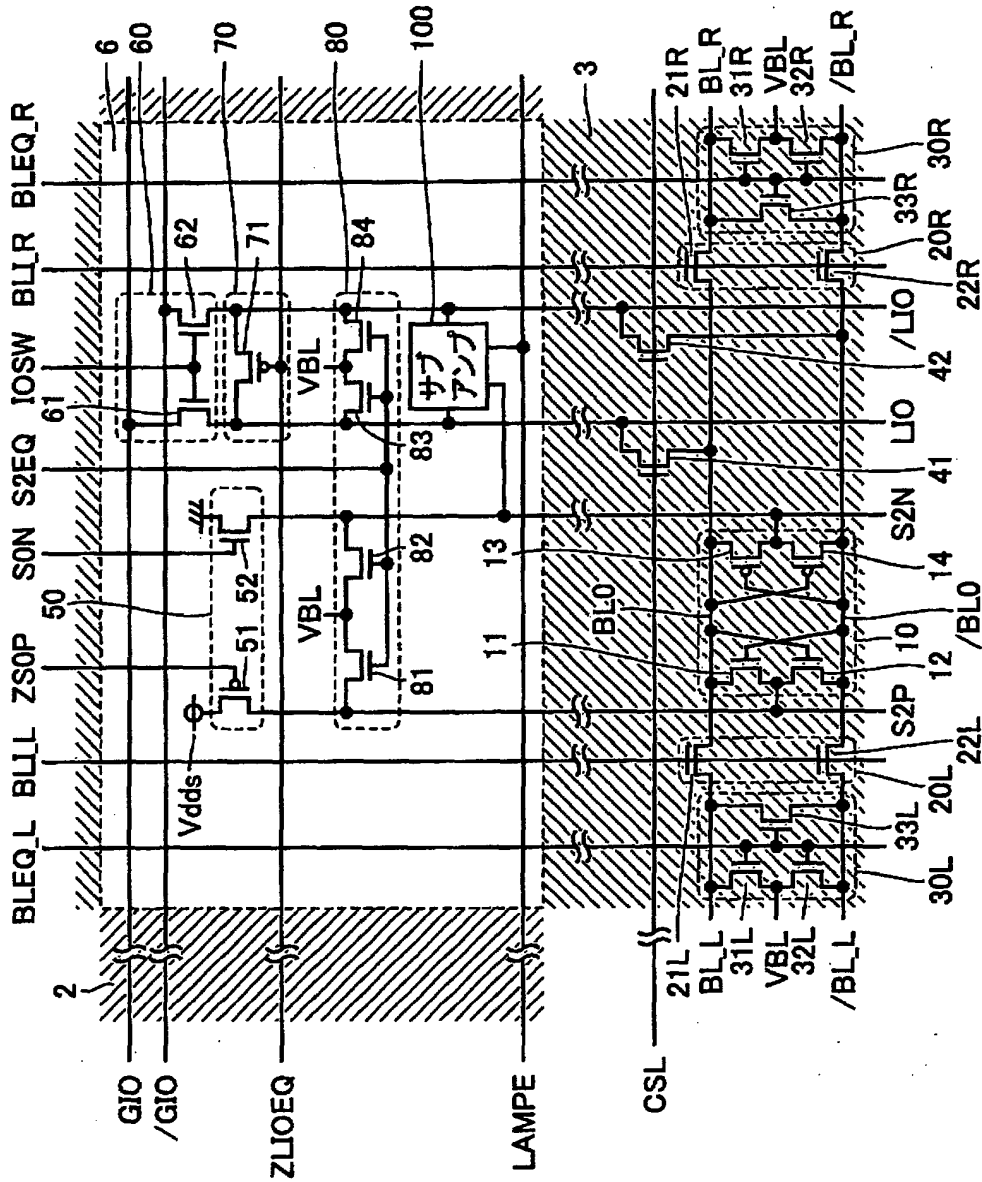
0L, 20R ビット線分離制御回路、30L, 30R ビット線イコライザ、
41, 42, 101, 102, 103 NチャネルMOSトランジスタ、50
センスアンプ活性化回路、60, 60a 入出力スイッチ回路、61a, 301
, 401, 403 NANDゲート、62a, 402, 302, 404, 502
, 503 インバータ、63a, 64a トランスファゲート、70 LIO線
イコライザ、80 VBLプリチャージ回路、100, 100A サブアンプ、
200 サブアンプ+入出力スイッチ回路、300, 500 制御信号発生回路
、501 遅延回路。

【書類名】 図面

【図1】

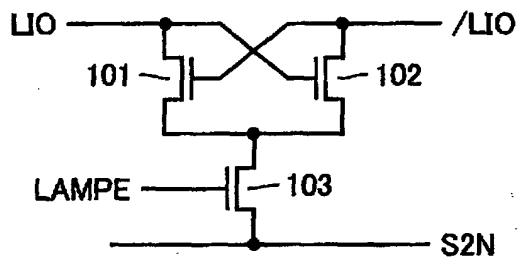


【図2】

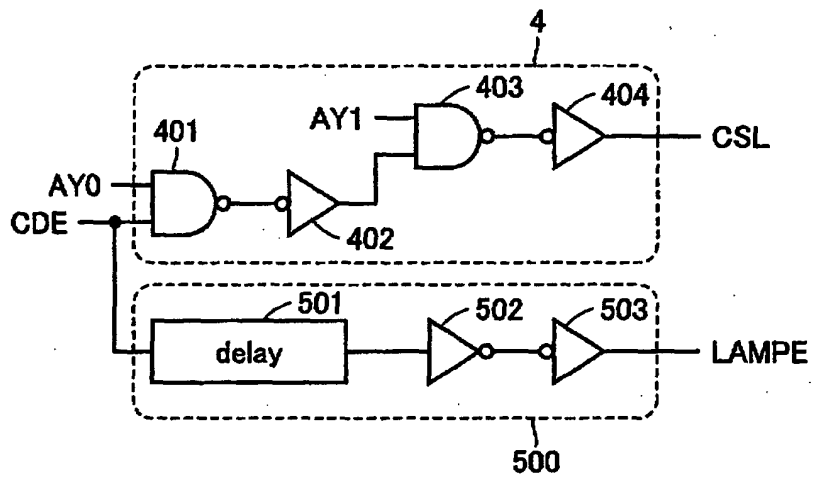


【図 3】

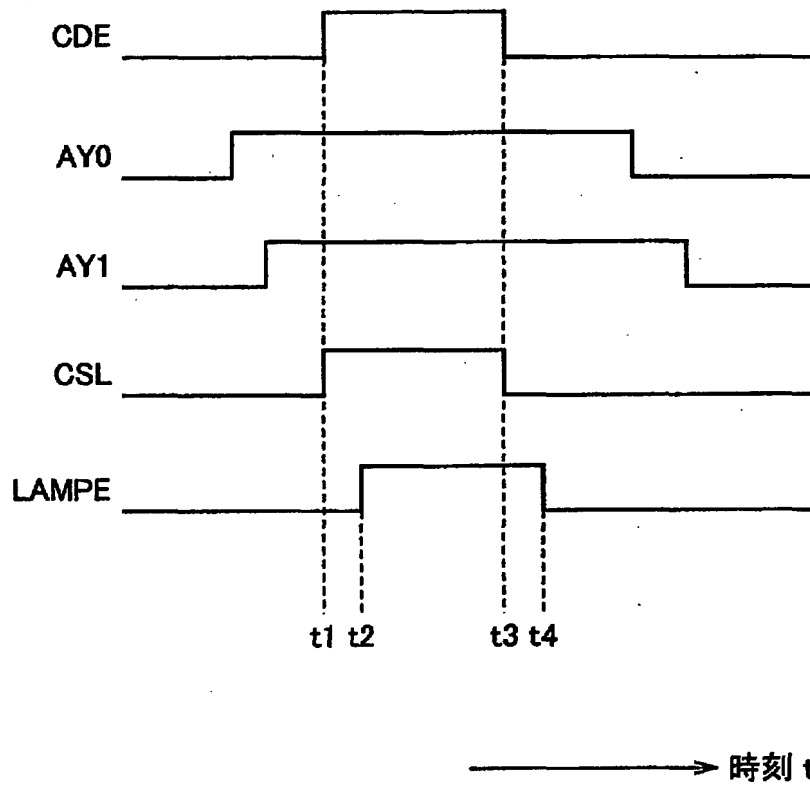
100



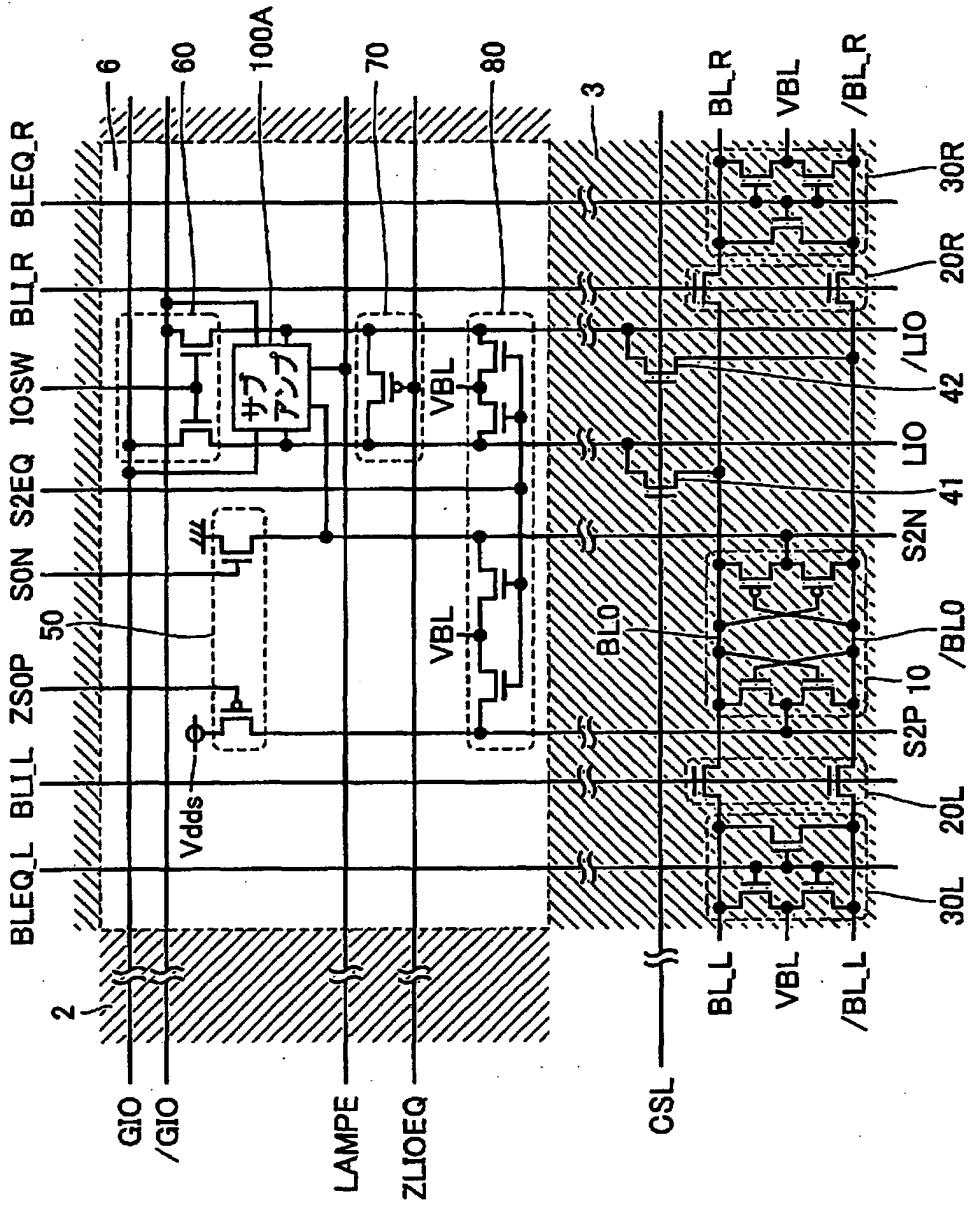
【図 4】



【図 5】

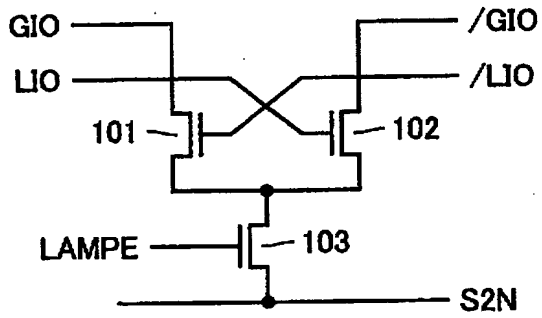


【図 6】

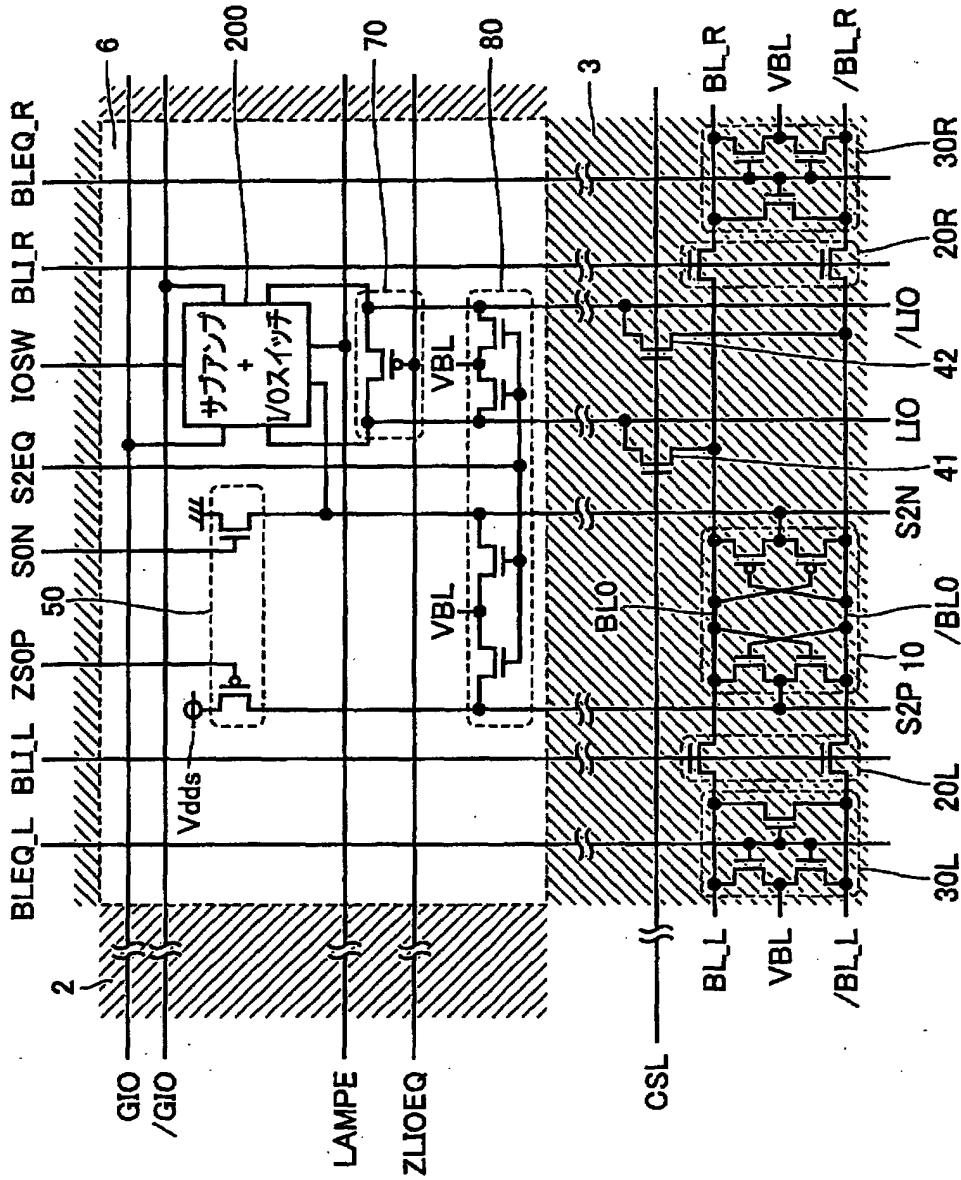


【図 7】

100A

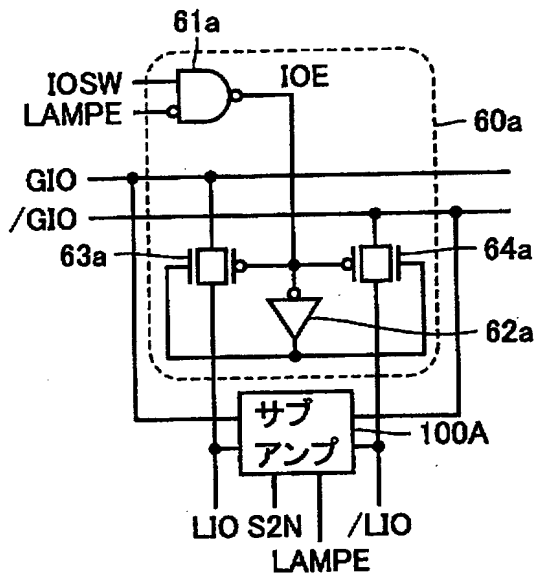


【図 8】

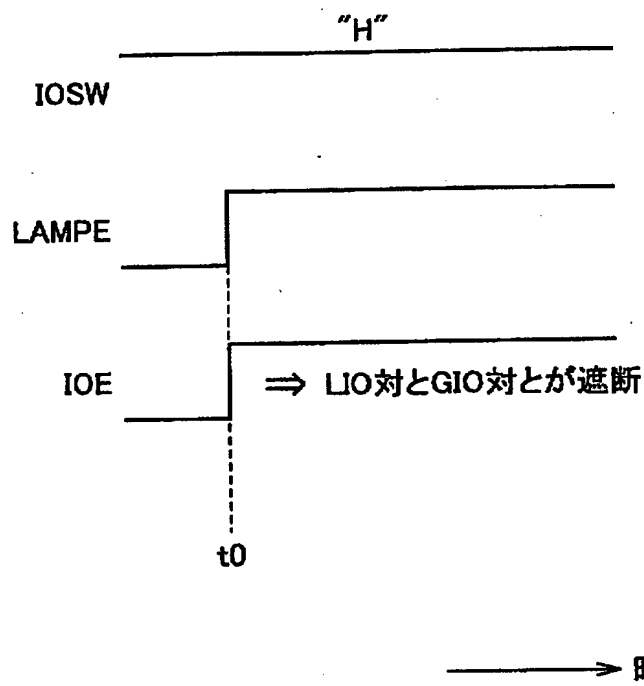


【図 9】

200

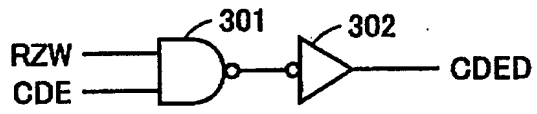


【図 1 0】



【図 1 1】

300



【書類名】 要約書

【要約】

【課題】 省面積化が可能な半導体記憶装置を提供する。

【解決手段】 NチャネルMOSトランジスタ103のソースにセンスアンプ駆動線S2Nを接続することによって、仮に制御信号LAMP EがHレベルとなっても、センスアンプ駆動線S2NおよびLIO線対がともにプリチャージ電位VBLであるため、NチャネルMOSトランジスタ101, 102のゲート-ソース間電圧Vgsは0Vとなり、サブアンプ100は動作しない。したがって、ロウブロックの活性化を伝える信号を供給するための回路構成を追加する必要がなくなり、半導体記憶装置が省面積化される。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社